

MOS TRANSISTOR AND MANUFACTURE THEREOF

Patent Number: JP2246277
 Publication date: 1990-10-02
 Inventor(s): FUJII EIJI; others: 05
 Applicant(s): MATSUSHITA ELECTRON CORP
 Requested Patent: ☐ JP2246277
 Application Number: JP19890068037 19890320
 Priority Number(s):
 IPC Classification: H01L29/784
 EC Classification:
 Equivalents:

Abstract

PURPOSE: To enable the leakage current under reverse voltage to be restrained from occurring by a method wherein polysilicon film to be a drain in a single gate shape is formed as a thin part near a gate while as thick film parts outside the gate and then the impurity concentration in the thin film part is lowered compared with that in the thick film parts.

CONSTITUTION: A thin film type single gate MOS transistor formed on the surface of a quartz substrate 9 is composed of a gate 12 through the intermediary of a gate oxide film 11 provided on a thin film part 10a of a polysilicon film 10 in the central part, a source 13 and a drain 14 comprising thick film parts 10b implanted with an impurity and formed of two layered polysilicon films 10 distant from the thin film part 10a and both sides of the central gate 12. Accordingly, the field intensity between the gate 12 and the drain 14 can be decreased. Through these procedures, the numbers of electrons and holes excited by field emission can be decreased to restrain the leakage current from occurring.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-246277

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月2日

H 01 L 29/784

8624-5F

H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 MOSトランジスタおよびその製造方法

⑯ 特 願 平1-68037

⑰ 出 願 平1(1989)3月20日

⑱ 発 明 者	藤 井	英 治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	千 田	耕 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	江 本	文 昭	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	上 本	康 裕	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	中 村	晃	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発 明 者	山 本	敦 也	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 出 願 人	松下電子工業株式会社			大阪府門真市大字門真1006番地
⑳ 代 理 人	弁理士 星野 恒司			

明 細 書

1. 発明の名称

MOSTランジスタおよびその製造方法

2. 特許請求の範囲

(1) 半導体膜に、ソース領域、チャネル領域およびドレイン領域が形成されたMOSTランジスタにおいて、上記の半導体膜の薄膜部の中央部にチャネル領域を形成し、薄膜部と厚膜部とから構成されたドレイン領域の不純物濃度を、薄膜部が厚膜部に比べて低濃度となるように構成したことを特徴とするMOSTランジスタ。

(2) 半導体膜に、ソース領域、チャネル領域およびドレイン領域が形成されたMOSTランジスタにおいて、上記の半導体膜に厚膜部と薄膜部を形成し、その薄膜部の中央部にチャネル領域を形成し、半導体膜に注入され不純物濃度が最大となる深さと、上記のドレイン領域の厚膜部の厚膜とが同程度となるエネルギーで不純物注入を行い、薄膜部と厚膜部とから構成されたドレイン領域の不

純物濃度を、薄膜部が厚膜部に比べて低濃度となるようにすることを特徴とするMOSTランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、MOSTランジスタおよびその製造方法に関するものである。

(従来の技術)

近年、高速LSIや表示素子を開発するため、透明基板上に形成した非晶質膜やポリシリコン膜あるいは再結晶化シリコン膜の研究が盛んに進められている。特に、実用段階にあるポケットTVなどの液晶表示素子は、液晶操作用のスイッチングトランジスタおよびそのドライバICの性能を向上するため、様々なアプローチがなされている。

この種の従来のMOSTランジスタについて、表示素子用の基板として最もよく知られている石英基板上のポリシリコン膜に形成された液晶操作用のスイッチトランジスタを例として、第5図の要部拡大断面図により説明する。

同図において、従来のスイッチングトランジスタは、石英基板1の表面に形成されたポリシリコン膜2に形成したデュアルゲート形MOSトランジスタで、ソース3、第1ドレイン4および第2ドレイン5と、ゲート酸化膜6で隔てた第1ゲート7および第2ゲート8とから構成されている。

このように構成されたスイッチングトランジスタでは、ソース3を接地し、第1ドレイン4はフローティングとして第2ドレイン5に電圧を印加し、第1および第2ゲート7および8に同電圧をかけて使用する。

(発明が解決しようとする課題)

しかしながら、上記の構成では、デュアルゲート形のために多くの面積をとり、微細化が難しいという問題があった。また、第1および第2ゲート7および8に負電圧が、また、第2ドレイン5に正電圧がそれぞれかかった場合(以下、逆方向電圧と呼ぶ)、第2ドレイン5と第2ゲート8の接点に高電界が発生するという問題があった。電界強度が大きいと、ポリシリコン膜2の粒界レベ

ルからフィールドエミッションによって電子、正孔がそれぞれ発生する。発生した電子が第2ドレイン5に流れ込むと、逆方向電圧下なのでリーク電流となる。さらに、第2ドレイン5の電圧が大きくなると、なだれ増幅によりリーク電流はさらに増大するという問題があった。

本発明は上記の問題を解決するもので、逆方向電圧下のリーク電流を抑制するMOSトランジスタおよびその製造方法を提供するものである。

(課題を解決するための手段)

上記の課題を解決するため、本発明はシングルゲート形とし、ドレインとなるポリシリコン膜をゲート近傍に薄膜部、その外側に厚膜部を形成し、薄膜部の不純物濃度を厚膜部より低くするものである。その製造方法は、ポリシリコン膜にソースおよびドレイン領域を形成するイオン注入の際に、注入された不純物の濃度が最大となる表面からの距離(以下、 R_p と呼ぶ)が厚膜部の膜厚と同程度となる注入エネルギーで行うものである。

(作用)

上記製造方法により、ゲート近傍のポリシリコン膜は薄膜部で形成され、 R_p に等しいドレインの厚膜部より薄いため、注入された不純物のほとんどが石英基板に注入されるため、薄膜部の不純物濃度は厚膜部の不純物濃度よりも小さくなる。すなわち、ドレインはゲート近傍の不純物濃度が小さくなるような構成となる。上記の構成により、ゲートとドレイン間の電界強度を小さくすることができ、従って、フィールドエミッションにより励起される電子、正孔の数が減少する。すなわち、リーク電流が抑制されることになる。

(実施例)

本発明の一実施例を第1図ないし第4図により説明する。第1図は本発明によるシングルゲートのMOSトランジスタの要部拡大断面図、第2図(a)ないし(e)はその各製造工程を示す要部拡大断面図、第3図はn形不純物を注入した時の表面からの濃度分布図、第4図は本発明によるMOSトランジスタのゲート電圧(V_g)とドレイン電流(I_d)の関係を示す特性図である。

第1図において、石英基板9の表面に形成した薄膜形のシングルゲートMOSトランジスタは、中央にポリシリコン膜10の薄膜部10aに設けたゲート酸化膜11を介したゲート12と、上記の薄膜部10aおよびその両側に中央のゲート12から距離を置いてポリシリコン膜を2層に形成した厚膜部10bに不純物を注入して設けたソース13およびドレイン14とから構成されている。

第3図は、第1図に示したポリシリコン膜10の厚膜部10bに注入された不純物の濃度分布図で、横軸は表面からの深さを、縦軸は体積1 μ m³当たりの原子数をそれぞれ表わす。注入された不純物濃度は、表面からほぼ直線的に増加して山形を描き、最大点を過ぎると減少に移る。

第1図に示すMOSトランジスタでは、ポリシリコン膜10の膜厚は、厚膜部10bが第3図の t_1 に、薄膜部10aがそのほぼ1/3の t_2 に形成されている。従って、ドレイン14は、ゲート12の近傍が不純物低濃度領域、遠方が不純物高濃度領域でそれぞれ構成されることになる。

次に、本発明によるMOSトランジスタの製造方法について、第2図(a)ないし(e)により説明する。

まず、石英基板9の全面に膜厚 $0.2\mu\text{m}$ ないし $0.3\mu\text{m}$ のポリシリコン膜を形成した後、パターンニングして島状の厚膜部10bの一層部10cを形成する(第2図(a))。次に、膜厚約 $0.1\mu\text{m}$ のポリシリコン膜を堆積して厚膜部10bおよび厚膜部10bに挟まれた薄膜部10aを形成する(第2図(b))。次に、上記の薄膜部10aの中央部に、乾燥酸素ガスを用いて膜厚 $0.12\mu\text{m}$ ないし $0.13\mu\text{m}$ のゲート酸化膜11を形成した後、膜厚約 4000\AA のポリシリコン膜を成長させ、ゲート12を形成する(第2図(c))。次に、n形不純物としてリンイオン15を 160keV 程のエネルギーで 1×10^{15} ないし 5×10^{15} 個/ cm^2 をポリシリコン膜10に注入する(第2図(d))。最後に、温度 900°C で20分ないし30分間焼戻し処理を施す(第2図(e))と、第1図に示したMOSトランジスタが得られる。本製造方法によれば、 160keV でリンイオンを注入した場合の R_p は約 $0.2\mu\text{m}$ であり、

シュールド係数Sは、

$$S = \frac{dV_a}{d \log I_D} \approx 2 \cdot 10 \cdot \frac{KT}{q} \left(1 + \frac{C_{ox}}{C_{ch}} \right)$$

ここで、 C_{ch} : チャネル下の容量

C_{ox} : 酸化膜容量

で与えられる。すなわち、チャネルの膜厚が薄くなると、 C_{ch} が小さくなるため、Sも小さくなり、MOSトランジスタのスイッチング特性が良好となる。従って、本発明のMOSトランジスタは、コンタクト抵抗を減少させることなくスイッチング特性を向上させることができる。

(発明の効果)

以上説明したように、本発明によれば、リーク電流の少ない、スイッチング特性のよいMOSトランジスタが得られる。

4. 図面の簡単な説明

第1図は本発明によるMOSトランジスタの要部拡大断面図、第2図(a)ないし(e)はその各製造工程を示す要部断面図、第3図はn形不純物の濃度分布図、第4図は本発明の実施例および従来例のMOSトランジスタ I_D-V_g 特性図、第5図

90%以上の不純物が注入される範囲は $0.2 \pm 0.06\mu\text{m}$ であるから、第3図の分布図から判るように、ソース13およびドレイン14の厚膜部10bは高濃度となり、一方ソース13およびドレイン14の膜厚約 $0.05\mu\text{m}$ 薄膜部10aは2桁程度低い低濃度となる。

第1図に戻って、ゲート13近傍のドレイン14は薄膜部10aとなり、その不純物濃度は遠方の厚膜部10bの不純物濃度よりも2桁小さいため、ゲート12とドレイン14との間の電界強度は従来の約100分の1となり、フィールドエミッションにより発生する電子、正孔数を大幅に低減することができる。すなわち、第4図の曲線Aに示すように、従来例の曲線Bに比べ逆方向電圧下におけるリーク電流の増加を抑制することができる。

また、本発明によるMOSトランジスタは、ゲイ化アルミニウムなどの金属と接続するソース13およびドレイン14の厚膜部10bの不純物濃度を低くすることなしに、ゲート12下のチャネル領域の厚さを薄くすることができる。一般に、電流が1桁変化するのに必要なゲート電圧を示すサブスレ

は従来のMOSトランジスタの要部拡大断面図である。

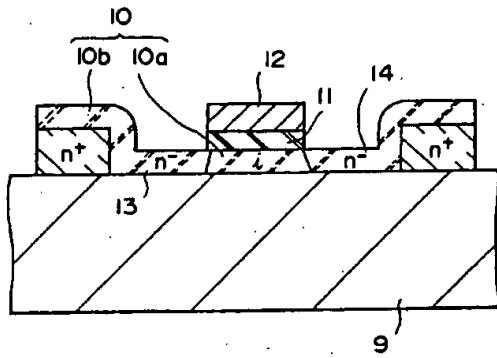
1, 9…石英基板、 2, 10…ポリシリコン膜、 3, 13…ソース、 4…第1ドレイン、 5…第2ドレイン、 6, 11…ゲート酸化膜、 7…第1ゲート、 8…第2ゲート、 10a…薄膜部、 10b…厚膜部、 10c…一層部、 12…ゲート、 14…ドレイン、 15…リンイオン。

特許出願人 松下電子工業株式会社

代理人 星野恒

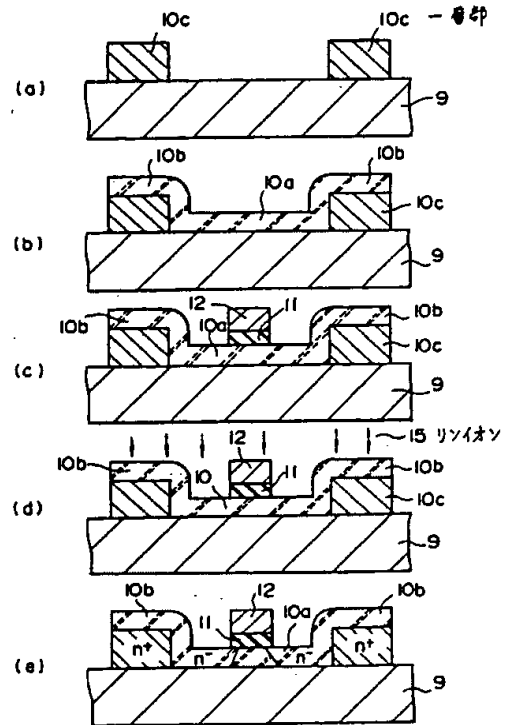


第 1 図

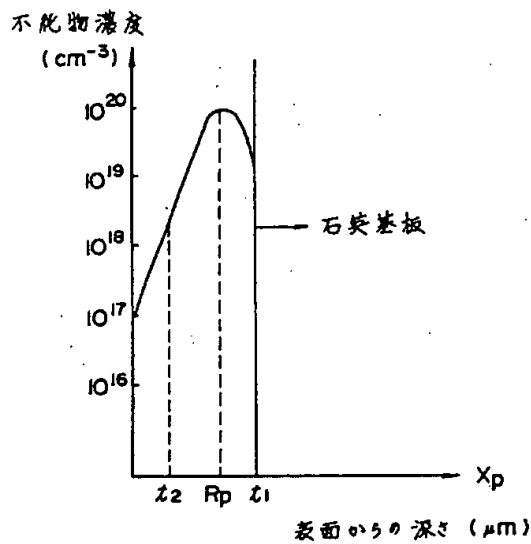


- | | |
|---------------|----------------|
| 9 ... 石英基板 | 10 ... ホリシリコン膜 |
| 10a ... 薄膜部 | 10b ... 厚膜部 |
| 11 ... ゲート酸化膜 | 12 ... ゲート |
| 13 ... ソース | 14 ... ドレイン |

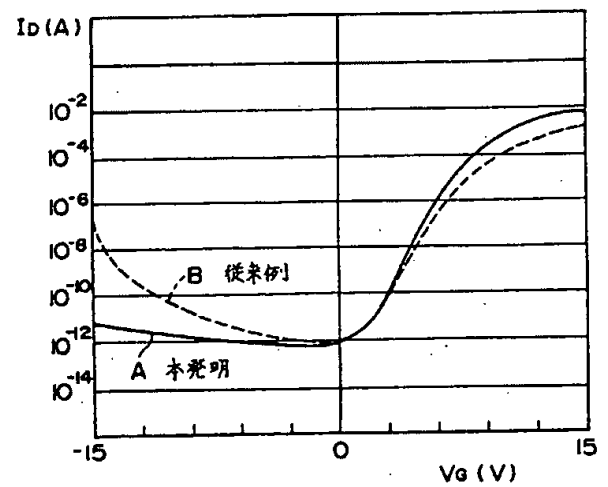
第 2 図



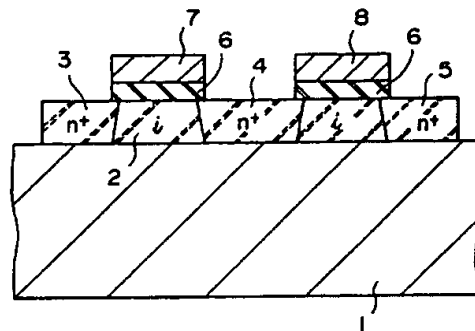
第 3 図



第 4 図



第 5 図



- 1 … 石英基板
- 2 … ポリシリコン膜
- 3 … ソース
- 4 … 第1ドレイン
- 5 … 第2ドレイン
- 6 … ゲート酸化膜
- 7 … 第1ゲート
- 8 … 第2ゲート